

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 7 月 14 日 (14.07.2005)

PCT

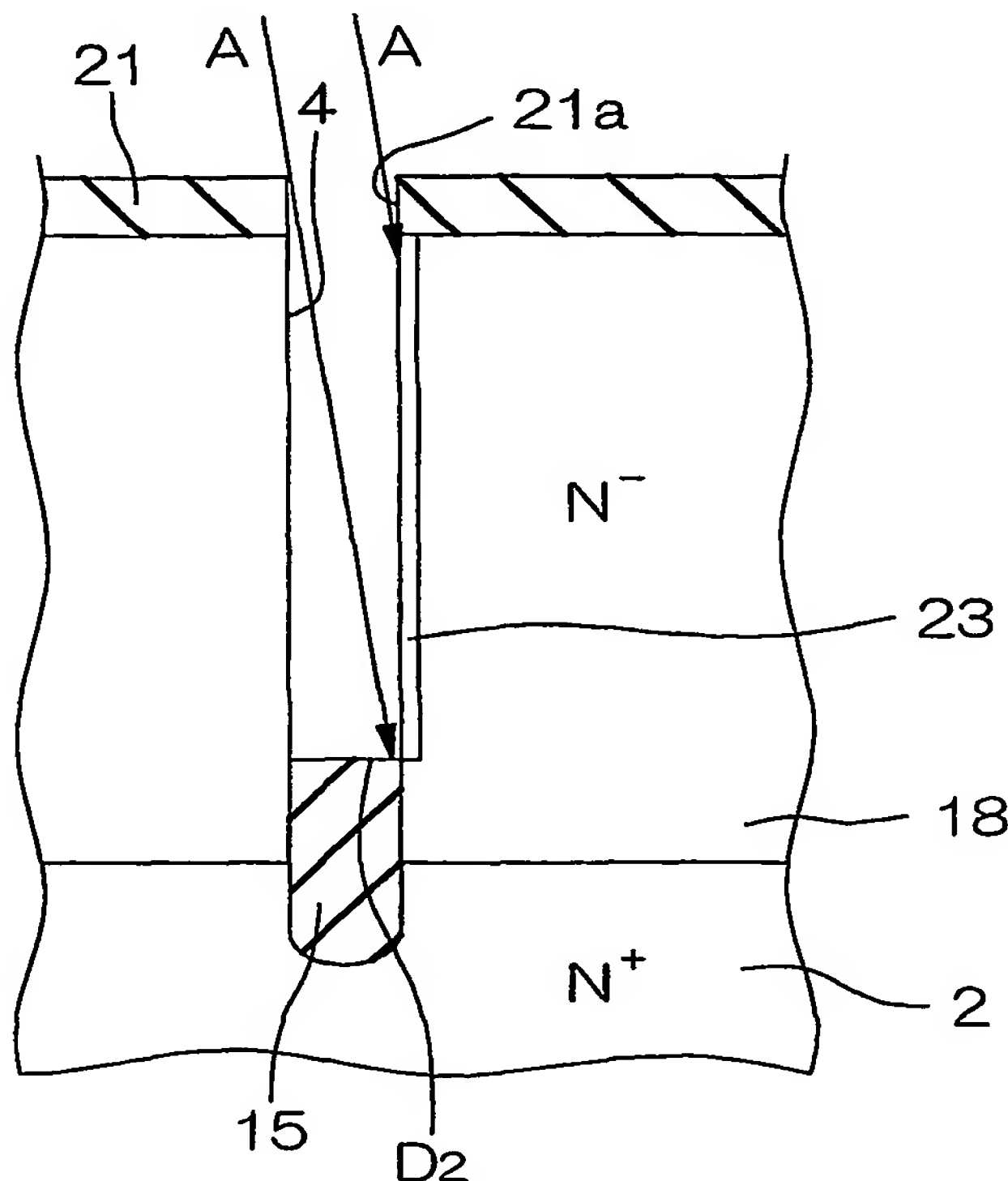
(10) 国際公開番号
WO 2005/064684 A1

- (51) 国際特許分類⁷: H01L 29/78
- (21) 国際出願番号: PCT/JP2004/019732
- (22) 国際出願日: 2004 年 12 月 24 日 (24.12.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2003-435266
2003 年 12 月 26 日 (26.12.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者 / 出願人 (米国についてのみ): 高石 昌 (TAKAISHI, Masaru) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 稲岡 耕作, 外 (INAOKA, Kosaku et al.); 〒5410054 大阪府大阪市中央区南本町 2 丁目 6 番 1 2 号 サンマリオン N B F タワー 2 1 F あい特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法および半導体装置



(57) Abstract: A method for manufacturing a semiconductor device (1, 31, 41) having a super-junction structure portion (13) in which on a semiconductor substrate (2) of a first conductivity type a drift layer (3) of the first conductivity type and a RESURF layer (9) of a second conductivity type different from the first conductivity type are disposed alternately and parallel to a lateral direction of the semiconductor substrate. The method includes a step of forming a semiconductor layer (18) of the first conductivity type on the semiconductor substrate, a step of forming a trench (4) which extends through the semiconductor layer to the semiconductor substrate, a filling step of placing a filling member (15, 32, 33) in a predetermined region at the trench bottom and placing the filling member from the trench bottom to an upper predetermined position (D₂) shallower than the interface position between the semiconductor substrate and the semiconductor layer, and a step of introducing impurities of the second conductivity type into the semiconductor layer exposed from the inner wall of the trench and forming the RESURF layer along the inner wall of the trench.

(57) 要約: 第 1 導電型の半導体基板(2)上に、上記第 1 導電型のドリフト層(3)、および上記第 1 導電型とは異なる第 2 導電型のリサーフ層(9)を、上記半導体基板に平行な横方向に交互に配置して形成したスーパージャンクション構造部(13)を有する半導体装置(1,31,41)の製造方法。この製造方法は、上記半導体基板の上に、上記第 1 導電

型の半導体層(18)を形成する工程と、上記半導体層を貫通して上記半導体基板に至るトレンチ(4)を形成する工程と、上記トレンチの底部側の所定の領域に充填材(15,32,33)を充填し、上記トレンチ内において、上記半導体基板と上記半導体層との界

[続葉有]

WO 2005/064684 A1



LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,
SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

面位置よりも浅い所定上面位置(D₂)までの底部領域に上記充填材を配置する充填工程と、この充填工程の後、上記トレンチの内側壁に露出した上記半導体層に上記第2導電型の不純物を導入して、上記トレンチの内側壁に沿う上記リサーフ層を形成する工程とを含む。